



Publication No. : 20010094408 (20011101)
Application No. : 20000016637 (20000330)
Title of Invention : SEMICONDUCTOR PACKAGE AND ADHESION METHOD OF SEMICONDUCTOR CHIP
Document Code : A
IPC : H01L 21/60
Priority :
Applicant : AMKOR TECHNOLOGY KOREA, INC.
Inventor : SHIN, WON SEON , YANG, JUN YEONG

Abstract :

PURPOSE: A semiconductor package and an adhesion method of a semiconductor chip thereof are provided to increase an integration degree and to reduce a mounting area by packaging semiconductor chips having different sizes.

CONSTITUTION: The semiconductor package comprises a leadframe(34) for mounting semiconductor chips, a wire(28) for connecting a bonding pad and a wire bonding region, and an epoxy resin(26) for molding the chips and the wires. At this time, the semiconductor chips include a first semiconductor chip(12) formed on a bump(14) at the rear surface of the chip(12) and a second semiconductor chip(13), in which the size of the first semiconductor chip(12) is bigger than that of the second semiconductor chip(13). The first and second semiconductor chips(12,13) adhered to each other are mounted on the leadframe(34).

© KIPO 2002

egal Status :

. Appliaction for a patent (20000330)

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
H01L 21/60

(11) 공개번호 특2001-0094408
(43) 공개일자 2001년11월01일

(21) 출원번호 10-2000-0016637
(22) 출원일자 2000년03월30일

(71) 출원인 앰코 테크놀로지 코리아 주식회사
마이클 디. 오브라이언
광주 북구 대촌동 957

(72) 발명자 양준영
서울특별시노원구중계동시영아파트112동607호
신원선
경기도남양주시와부읍덕산현대아파트101-109

(74) 대리인 허상훈

심사청구 : 없음

(54) 반도체 패키지 및 이것의 반도체 칩 부착방법

요약

본 발명은 반도체 칩의 재료가 되는 웨이퍼 후면에 범프를 형성한 다음, 상면에는 또 다른 웨이퍼로부터 소잉된 칩을 적층 부착하여 고집적화를 실현할 수 있도록 한 구조의 반도체 패키지 및 이것의 제조방법에 관한 것으로서, 제 1반도체 칩의 재료가 되는 웨이퍼 후면에 범프를 형성하고, 상면에는 또 다른 웨이퍼로부터 소잉된 보다 작은 크기의 제2반도체 칩을 적층 부착한 다음, 웨이퍼 상태의 제1반도체 칩을 소잉하여, 서로 적층된 상태의 제1반도체 칩과 제2반도체 칩을 반도체 패키지 제조용 부재에 부착하여서 이루어진 구조의 반도체 패키지와 이것의 반도체 칩 부착방법을 제공하고자 한 것이다.

대표도
도 1

색인어
반도체 패키지, 반도체 칩 부착방법, 범프, 제1반도체 칩, 제2반도체 칩

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 패키지의 일실시예를 나타내는 단면도,

도 2는 본 발명에 따른 반도체 패키지의 다른 실시예를 나타내는 단면도,

도 3은 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도,

도 4는 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도,

도 5는 도 1의 반도체 패키지 제조방법을 순서대로 나타낸 단면도,

도 6은 도 2의 반도체 패키지 제조방법을 순서대로 나타낸 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 웨이퍼(wafer) 12 : 제1반도체 칩

13 : 제2반도체 칩 14 : 범프(bump)

24 : 접착테이프 26 : 수지

28 : 와이어 30 : 인쇄회로기판

32 : 전도성 패턴 33 : 커버코트

34 : 리드프레임(lead frame) 36 : 인출단자

38 : 리드 40 : 수지층

42 : 필름부재 44 : 필름

100, 200, 300, 400 : 반도체 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 이것의 반도체 칩 부착방법에 관한 것으로, 더욱 상세하게는 반도체 칩의 재료가 되는 웨이퍼 후면에 범프를 형성한 다음, 상면에는 또 다른 웨이퍼로부터 소잉된 칩을 적층 부착하여 고집적화를 실현할 수 있도록 한 반도체 패키지 및 이것의 반도체 칩 부착방법에 관한 것이다.

통상적으로 반도체 패키지는 전자기기의 집약적인 발달과 소형화로 제조되는 경향에 따라 고집적화, 소형화, 고기능화를 실현할 수 있도록, 칩탑재판의 저면이 외부로 노출된 구조의 반도체 패키지, 솔더볼과 같은 인출단자를 포함하는 반도체 패키지, 리드프레임, 인쇄회로기판, 필름등의 부재를 이용한 반도체 패키지등 다양한 종류의 패키지가 경박단소화로 개발되어 왔고, 개발중에 있다.

또한, 반도체 패키지의 고집적화를 실현하기 위하여 반도체 칩을 적층한 구조의 반도체 패키지가 개발되어 왔고, 개발중에 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 점을 감안하여 반도체 칩의 재료가 되는 웨이퍼 후면에 범프를 형성하고 상면에 또 다른 웨이퍼로부터 개개로 소잉된 보다 작은 크기의 반도체 칩을 적층 부착한 후, 서로 적층된 반도체 칩을 반도체 패키지 제조용 부재의 칩 탑재영역에 부착하여, 와이어 본딩 공정과 몰딩공정 등을 거쳐 제조되는 반도체 패키지 및 이것의 반도체 칩 부착방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이하, 첨부도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

본 발명의 반도체 패키지(100)는 반도체 칩이 실장되는 부재(30,34,40)와, 반도체 칩의 본딩패드와 상기 부재의 와이어 본딩영역을 연결하는 와이어(28)와, 칩과 와이어 등을 몰딩하고 있는 수지(26)로 이루어진 반도체 패키지에 있어서, 저면에 범프(14)가 형성된 제1반도체 칩(12)과 보다 작은 크기의 제2반도체 칩(13)이 서로 부착된 상태로 상기 부재(30,32,40)의 반도체 칩 탑재영역에 부착된 것을 특징으로 한다.

본 발명의 바람직한 구현예로서, 상기 리드프레임(34) 부재의 리드(38)의 바깥쪽단 저면 일부분은 식각 처리되고, 식각 처리되지 않은 안쪽단 저면은 외부로 노출된 것을 특징으로 한다.

본 발명의 보다 바람직한 구현예로서, 상기 외부로 노출된 리드프레임(34)의 리드(38) 안쪽단 저면에는 인출단자(36)가 부착된다.

본 발명의 반도체 패키지의 반도체 칩 부착방법은 웨이퍼(10) 상태인 개개의 제1반도체 칩 저면에 전도성의 범프(14)를 형성하는 공정과; 또 다른 웨이퍼(10)를 소잉하여 개개의 제2반도체 칩(13)을 구비하는 공정과; 상기 범프(14)가 저면에 형성된 웨이퍼(10)의 각 제1반도체 칩(12) 상면에 액체를 도포하여 제2반도체 칩(13)을 올려놓는 공정과; 상기 액체에 의하여 접착력을 가지며 발생하는 산화실리콘막에 의하여 상기 제1반도체 칩(12)과 제2반도체 칩(13)이 서로 부착되는 공정으로 달성되거나,

웨이퍼(10) 상태인 개개의 제1반도체 칩 저면에 전도성의 범프(14)를 형성하는 공정과; 또 다른 웨이퍼(10)를 소잉하여 개개의 제2반도체 칩(13)을 구비하는 공정과; 상기 범프(14)가 저면에 형성된 웨이퍼(10)의 각 제1반도체 칩(12) 상면에 접착테이프(24)를 부착하여 제2반도체 칩(13)을 부착하는 공정으로 달성됨을 특징으로 한다.

여기서 본 발명을 실시예로서, 첨부한 도면을 참조로 보다 상세하게 설명하면 다음과 같다.

첨부한 도 1은 본 발명에 따른 반도체 패키지의 일 실시예를 나타내는 단면도로서, 도면부호 12, 13은 서로 적층된 상태의 제1반도체 칩과 제2반도체 칩을 나타내는 바, 상기 제1반도체 칩(12)과 제2반도체 칩(13)을 서로 부착하는 방법을 먼저 설명하면 다음과 같다.

먼저, 웨이퍼 상태인 각각의 제1반도체 칩(12) 저면 둘레를 따라 등간격으로 전도성의 범프(14)를 형성한다.

다음으로, 또 다른 웨이퍼를 개개의 칩이 되도록 소잉하여 제2반도체 칩(13)을 구비하고, 이 제2반도체 칩(13)을 상기 웨이퍼 상태인 각각의 제1반도체 칩(12)의 상면에 부착시키게 된다.

이때, 상기 제2반도체 칩(13)은 제1반도체 칩(12)의 크기보다 작고, 그 부착방법은 물(H_2O)과 같은 액체를 상기 웨이퍼 상태인 제1반도체 칩(12)의 상면에 바르거나, 접착제 또는 접착테이프(24)를 바른 후, 상기 개개의 제2반도체 칩(13)을 웨이퍼 상태인 제1반도체 칩(12)에 부착시킨다.

다음으로, 상기 제2반도체 칩(13)이 부착된 웨이퍼 상태의 제1반도체 칩(12)을 개개의 칩이 되도록 소잉을 하게 됨으로써, 상기 제1반도체 칩(12)과 제2반도체 칩(13)은 서로 개개의 상태로 적층 부착된 상태가 된다.

상기와 같이 적층 구비된 제1반도체 칩(12)과 제2반도체 칩(13)을 이용하여 제조된 반도체 패키지의 일 실시예는 첨부한 도 1에 도시한 바와 같고, 그 구조를 설명하면 다음과 같다.

상기 일 실시예로서의 반도체 패키지(100)는 수지층(40)과, 이 수지층(40)상에 식각 처리되어 부착되는 전도성패턴(32)과, 상기 전도성패턴(32)을 포함하는 수지층(40)상에 도포된 커버코트(33)로 구성되고, 상기 수지층(40)에는 상기 전도성 패턴(32)과 접지 가능하도록 비아홀이 관통 형성되어 이루어진 인쇄회로기판(30) 부재를 이용한 패키지이다.

상기 부재(30)의 칩탑재영역에 서로 적층된 상태의 상기 제1반도체 칩(12)과 제2반도체 칩(13)이 부착되고, 즉 제1반도체 칩(12)의 저면에 형성된 범프(14)가 부재(30)의 칩탑재영역과 밀착되게 부착되고, 상기 부재(30)의 와이어 본딩영역과 제1반도체 칩(12) 및 제2반도체 칩(13)의 본딩패드간이 와이어(28)로 본딩되며, 상기 제1반도체 칩(12)과 제2반도체 칩(13)과 와이어(28)등이 수지(26)로 몰딩되어 이루어진 구조로 달성된다.

첨부한 도 2는 본 발명에 따른 반도체 패키지의 다른 실시예를 나타내는 단면도로서, 도면부호 34는 리드프레임이다.

상기 리드프레임(34)의 리드(38)는 저면 바깥쪽 일부분이 식각 처리된 형상으로 이루어진 것으로서, 이 리드프레임(34)의 리드(38)의 안쪽단 상면에 상기 적층된 상태의 제1반도체 칩(12)과 제2반도체 칩(13)을 부착하는 바, 즉 제1반도체 칩(12)의 저면에 형성된 범프(14)가 밀착되며 부착된다.

마찬가지로, 상기 리드프레임(34)의 리드(38)와 적층된 제1반도체 칩(12)과 제2반도체 칩(13)간의 본딩패드간이 와이어(28)로 본딩되고, 수지(26)로 몰딩되어 첨부한 도 2에 도시된 반도체 패키지(200)가 제조된다.

이때, 상기 리드프레임(34)의 리드(38)의 안쪽단 저면은 식각 처리되지 않은 부분으로서, 반도체 패키지(200)의 외부로 노출되도록 하여, 칩에서 발생하는 열을 효율적으로 방출할 수 있도록 한다.

한편, 첨부한 도 3은 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도로서, 도 3의 반도체 패키지(300)는 도 2의 반도체 패키지(200)의 외부로 노출된 리드프레임(34)의 리드(38)면에 솔더볼과 같은 인출단자(36)를 부착하여서 달성된다.

또한, 첨부한 도 4는 본 발명에 따른 반도체 패키지의 또 다른 실시예를 나타내는 단면도로서, 이 반도체 패키지(400)는 필름(44)을 중심으로 상면에는 전도성패턴(32)이 식각처리되어 부착되어 있고, 또한 이 전도성패턴(32)을 포함하는 필름(44) 상면에는 커버코트(33)가 형성되어 있는 필름부재(42)를 이용한 패키지로서, 칩탑재영역에 상기와 같이 서로 적층된 제1반도체 칩(12)과 제2반도체 칩(13)을 부착하는 바, 즉 제1반도체 칩(12)의 저면에 형성된 범프(14)가 밀착되며 부착된다.

마찬가지로, 상기 필름부재(42)의 개방된 상태의 전도성패턴과 상기 제1반도체 칩(12)과 제2반도체 칩(13)간의 본딩패드간이 와이어(28)로 본딩되고, 수지(26)로 몰딩됨으로써, 첨부한 도 4에 도시한 바와 같은 반도체 패키지(400)가 완성된다.

여기서 본 발명에 따른 반도체 패키지의 제조방법을 첨부한 도 5와 도 6을 참조로 상세하게 설명하면 다음과 같다.

먼저, 제1반도체 칩(12)의 재료가 되는 웨이퍼(10) 하면에 전도성 범프(14)를 실크 스크린과 같은 공법인 스크린 프린트로 형성한다.

다음으로, 또 다른 웨이퍼를 개개의 칩, 즉 제2반도체 칩(13)이 되도록 소잉한 후, 상기 웨이퍼(10) 상태인 개개의 제1반도체 칩(12)의 상면에 부착시킨다.

이때, 제1반도체 칩(12)상에 제2반도체 칩(13)을 부착하는 방법을 보다 상세하게 설명하면 다음과 같다.

상기 웨이퍼 상태의 제1반도체 칩(12) 상면에 접착제 또는 접착테이프와 같은 접착수단(24)을 도포한 후, 제2반도체 칩(13)을 부착할 수 있고, 또한 진공의 상태에서 액체가 묻혀진 웨이퍼 상태의 제1반도체 칩(12) 상면에 제2반도체 칩(13)을 별도의 접착수단 없이 부착할 수 있는데, 즉 웨이퍼(10)는 실리콘(Si) 재질이므로 수분과 반응하여 실리콘 옥사이드(SiO_2)층을 형성하며 수소기체를 발생하는 바 이때 상기 실리콘 옥사이드(SiO_2)층이 접착성을 갖기 때문에 제2반도체 칩(13)이 용이하게 부착된다.

따라서, 별도의 접착수단을 이용하지 않고 웨이퍼 상태의 제1반도체 칩(12) 상면에 물과 같은 액체를 바른 후, 보다 작은 크기로 소잉된 상기 제2반도체 칩(13)을 견고히 부착한 후에 웨이퍼 상태의 제1반도체 칩(12)을 개개의 칩이 되도록 소잉을 하여, 제1반도체 칩(12)과 제2반도체 칩(13)이 개개의 상태로 서로 적층 부착된 상태가 되도록 한다.

다음으로, 상기 적층 부착된 상태의 제1반도체 칩(12)과 제2반도체 칩(13)을 제1반도체 칩(12)의 범프(14)가 접촉 되도록 상기 부재(30,34,42)의 칩탑재영역에 부착하게 되는 바, 범프(14)가 열에 의하여 용착되면서 부재의 칩탑재영역에 부착 고정된다.

이어서, 상기 제1반도체 칩(12)의 본딩패드와 부재(30,34,42)의 본딩영역간을 와이어로 본딩하고, 상기 제1반도체 칩(12)과 제2반도체 칩(13)과 와이어(28)등을 외부로부터 보호하기 위하여 수지(26)로 몰당하는 공정등을 거쳐 본 발명의 반도체 패키지(100,200,400)가 달성된다.

또한, 상기 반도체 패키지(200)의 외부로 노출된 리드(38)면에 솔더볼과 같은 인출단자를 부착하는 공정을 통하여 첨부한 도 3과 같은 반도체 패키지(300)가 달성된다.

발명의 효과

이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지 및 이것의 반도체 칩 부착방법에 의하면 반도체 칩의 재료가 되는 웨이퍼 후면에 범프를 형성한 다음, 상면에는 또 다른 웨이퍼로부터 소잉된 칩을 적층 부착하는 방법을 적용하여 반도체 패키지를 제조할 수 있도록 함으로써, 서로 다른 크기의 동일 반도체 칩, 메모리 또는 비메모리 반도체 칩을 용이하게 적층하여 고집적화를 실현할 수 있는 장점이 있고, 또한, 칩이 적층된 상태의 반도체 패키지를 제공함으로써, 마더보드 실장시 실장면적을 줄일 수 있으며, 또한 개별화된 웨이퍼 상태에서 칩을 적층 구비함에 따라 비용절감의 효과를 얻어낼 수 있다.

(57) 청구의 범위

청구항 1.

반도체 칩이 실장되는 부재(30,34,40)와, 반도체 칩의 본딩패드와 부재의 와이어 본딩영역간을 연결하는 와이어(28)와, 칩과 와이어 등을 몰당하고 있는 수지(26)로 이루어진 반도체 패키지에 있어서,

저면에 범프(14)가 형성된 제1반도체 칩(12)과 보다 작은 크기의 제2반도체 칩(13)이 서로 부착된 상태로 상기 부재(30,32,40)의 반도체 칩 탑재영역에 부착된 것을 특징으로 하는 반도체 패키지.

청구항 2.

제 1 항에 있어서, 상기 리드프레임(34) 부재의 리드(38)의 바깥쪽단 저면 일부는 식각 처리되고, 식각 처리되지 않은 안쪽단 저면은 외부로 노출된 것을 특징으로 하는 반도체 패키지.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 외부로 노출된 리드프레임(34)의 리드(38) 안쪽단 저면에는 인출단자(36)가 부착된 것을 특징으로 하는 반도체 패키지.

청구항 4.

제 1 항에 있어서, 상기 제1반도체 칩(12)과 제2반도체 칩(13)은 액체를 사용하여 서로 밀착시키는 동시에 접착력을 가지며 발생하는 산화실리콘막에 의하여 서로 부착된 것을 특징으로 하는 반도체 패키지.

청구항 5.

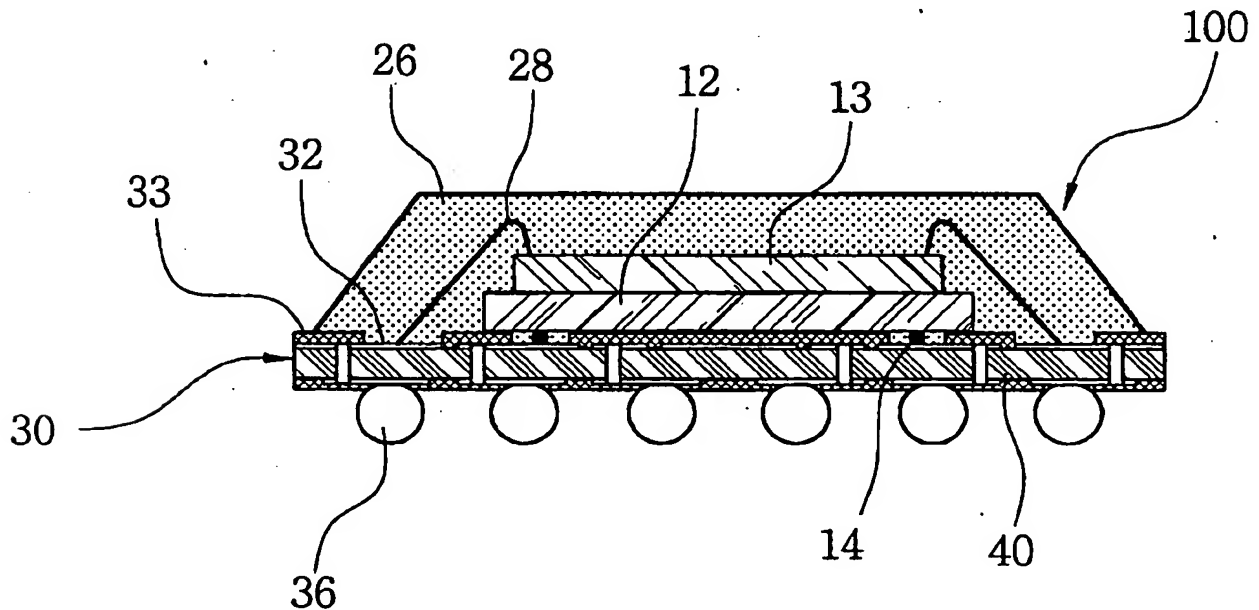
웨이퍼(10) 상에 개개의 제1반도체 칩 저면에 전도성의 범프(14)를 형성하는 공정과; 또 다른 웨이퍼(10)를 소잉하여 개개의 제2반도체 칩(13)을 구비하는 공정과; 상기 범프(14)가 저면에 형성된 웨이퍼(10)의 각 제1반도체 칩(12) 상면에 액체를 도포하여 제2반도체 칩을 올려놓는 공정과; 상기 액체에 의하여 발생하는 산화실리콘막에 의하여 상기 제1반도체 칩(12)과 제2반도체 칩(13)이 서로 부착되는 공정으로 이루어진 것을 특징으로 하는 반도체 패키지의 반도체 칩 부착방법.

청구항 6.

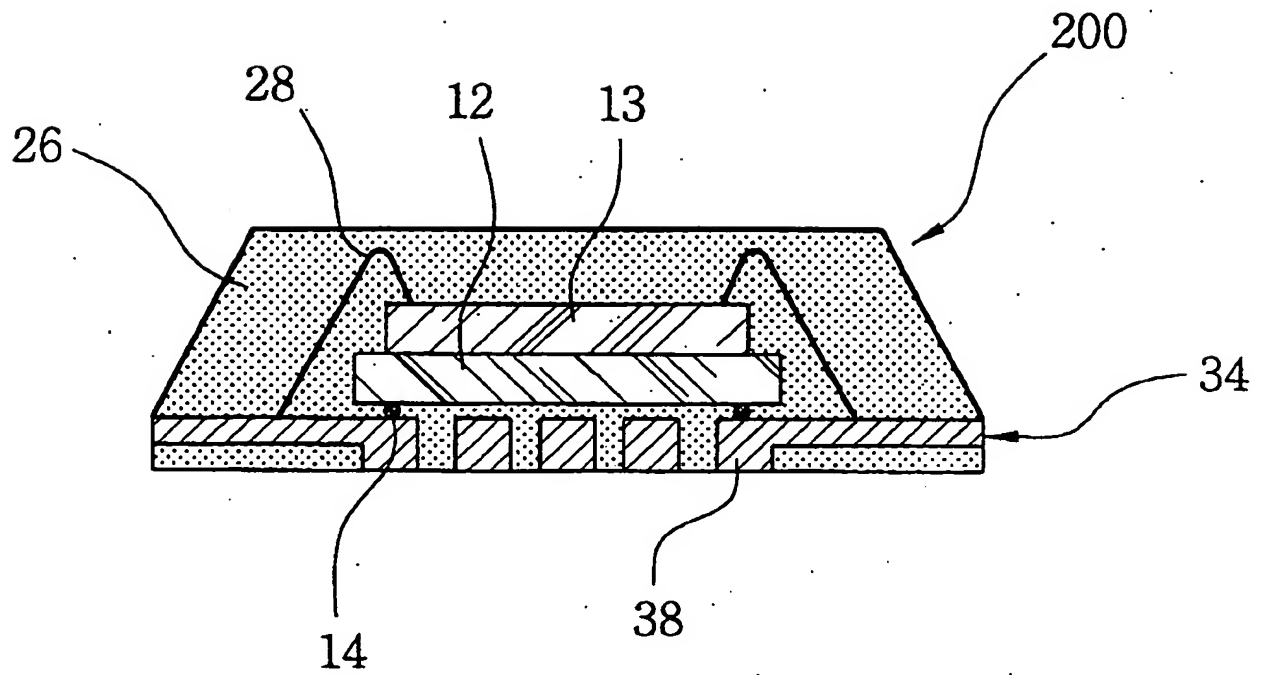
웨이퍼(10) 상에 개개의 제1반도체 칩 저면에 전도성의 범프(14)를 형성하는 공정과; 또 다른 웨이퍼(10)를 소잉하여 개개의 제2반도체 칩(13)을 구비하는 공정과; 상기 범프(14)가 저면에 형성된 웨이퍼(10)의 각 제1반도체 칩(12) 상면에 접착테이프를 부착하여 제2반도체 칩을 부착하는 공정으로 이루어진 것을 특징으로 하는 반도체 패키지의 반도체 칩 부착방법.

도면

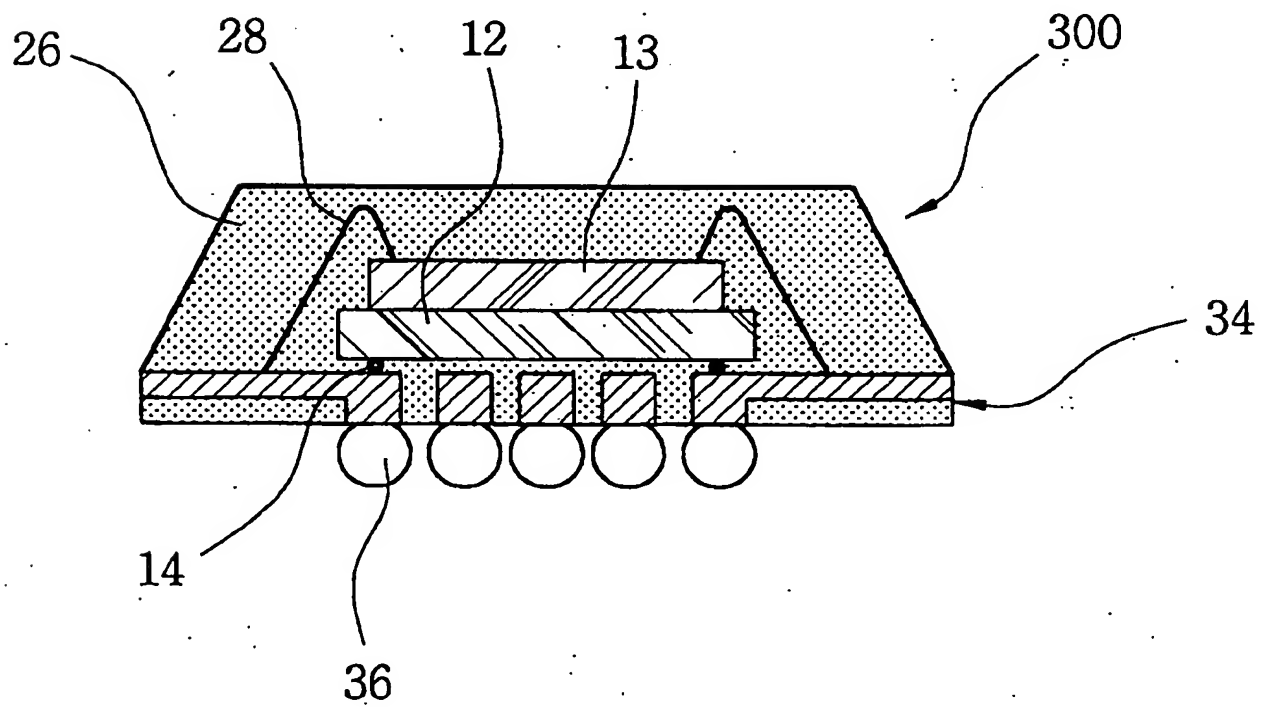
도면 1



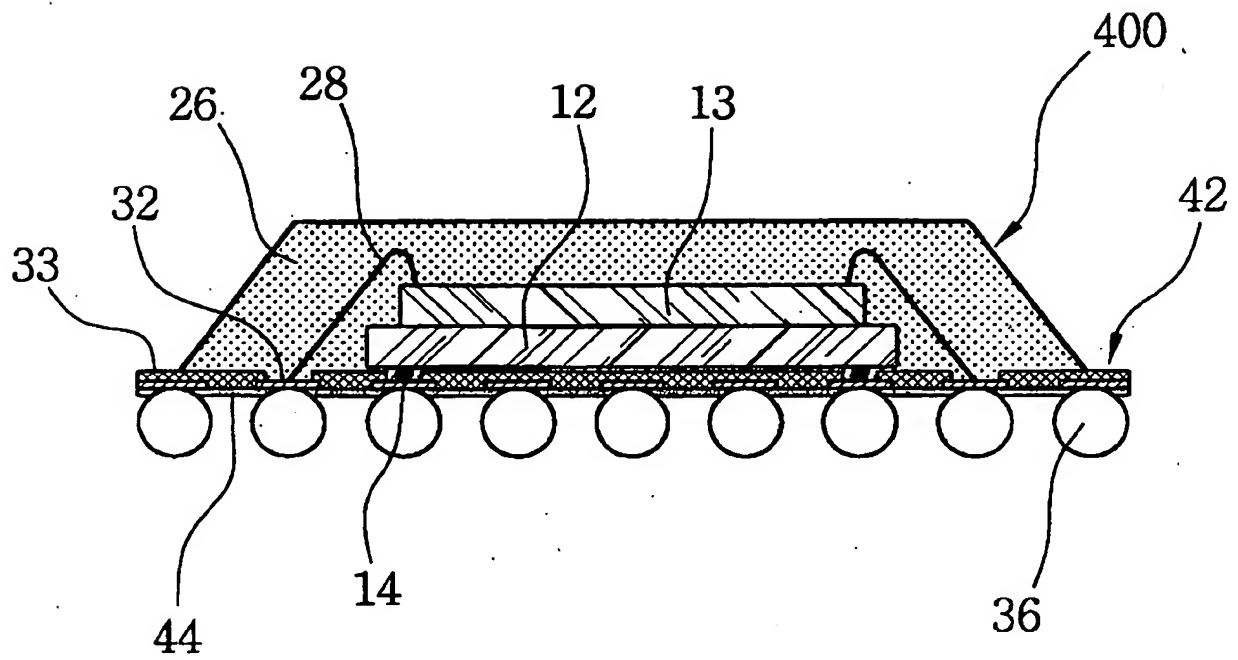
도면 2



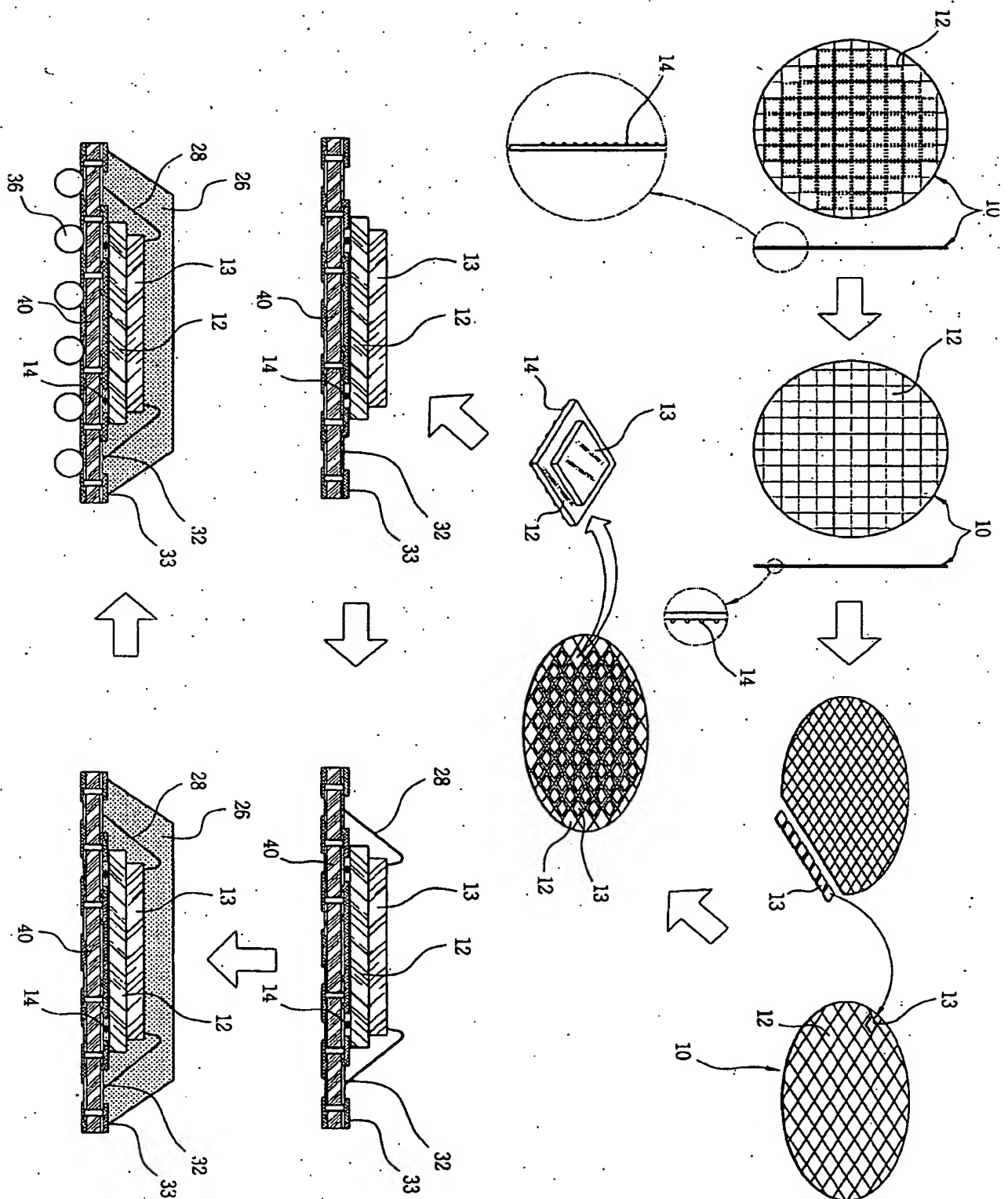
도면 3



도면 4



도면 5



도면 6

